

集成电路设计与验证 职业技能等级标准

标准代码：510069

（2021年2.0版）

杭州朗迅科技有限公司 制定

2021年12月 发布

目 次

前言.....	1
1 范围.....	2
2 规范性引用文件.....	2
3 术语和定义.....	2
4 适用院校专业.....	5
5 面向职业岗位（群）.....	6
6 职业技能要求.....	6
参考文献.....	12

前 言

本标准按照GB/T 1.1-2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

本标准起草单位：杭州朗讯科技有限公司、杭州士兰微电子股份有限公司、浙江大华技术股份有限公司、博通集成电路（上海）股份有限公司、矽力杰半导体技术（杭州）有限公司、杭州若联科技有限公司、深圳职业技术学院、江苏信息职业技术学院、深圳信息职业技术学院、武汉职业技术学院、浙江机电职业技术学院、常州信息职业技术学院、福建信息职业技术学院。

本标准主要起草人：丁勇、徐守政、吴建忠、赵晨、睦碧霞、郭沙、居水荣、余菲、丘聪、卓树峰、陈沉。

声明：本标准的知识产权归属于杭州朗讯科技有限公司，未经杭州朗讯科技有限公司同意，不得印刷、销售。

1 范围

本标准规定了集成电路设计与验证职业技能等级对应的工作领域、工作任务及职业技能要求。

本标准适用于集成电路设计与验证职业技能培训、考核与评价，相关用人单位的人员聘用、培训与考核可参照使用。

2 规范性引用文件

下列文件对于本标准的应用是必不可少的。凡是注日期的引用文件，仅注日期的版本适用于本标准。凡是不注日期的引用文件，其最新版本适用于本标准。

GBT2900. 66-2004 电工术语 半导体器件和集成电路国家标准行业规范

SJ/Z 11354-2006 集成电路模拟/混合信号IP核规范

SJZ 2927-1988 集成电路制版设备名词术语

3 术语和定义

GBT2900. 66-2004等界定的以及下列术语和定义适用于本标准。

3.1 芯片级系统 system on chip

是一个由多个具有特定功能的集成电路组合在一个芯片上形成的系统或产品，其中包含完整的硬件系统及其承载的嵌入式软件，也称为片上系统。

3.2 集成电路 integrated circuit

将全部或部分电路元件不可分割地联在一起，并形成电互连，以致就结构和产品而言，被视为不可分割的微电路。

3.3 专用集成电路 application specific integrated circuit, 缩写: ASIC
为特定用途设计的集成电路。

3.4 FPGA (Field-Programmable Gate Array)

FPGA即现场可编程门阵列，是属于专用集成电路中的一种半定制电路，是可编程的逻辑阵列，基本结构包括可编程输入输出单元、可配置逻辑块、可配置逻辑模块、数字时钟管理模块、嵌入式块RAM、布线资源、内嵌专用硬核、底层内嵌功能单元。

3.5 数字电路 digital circuit

是用数字信号完成对数字量进行算术运算和逻辑运算的电路。由于它具有逻辑运算和逻辑处理功能，所以又称数字逻辑电路。其输入输出电平在某个阈值之上时看作高电平，在该阈值之下时看作低电平；通常把高电平看作逻辑值1，把低电平看作逻辑值0。逻辑门是数字逻辑电路的基本单元。从整体上看，数字电路可以分为组合逻辑电路和时序逻辑电路两大类。现代的数字电路由半导体工艺制成的若干数字集成器件构造而成。

3.6 模拟电路 analog circuit

是用来对模拟信号进行传输、变换、处理、放大、测量和显示等工作的电路。模拟电路是电子电路的基础，它主要包括放大电路、信号运算和处理电路、振荡电路、调制和解调电路及电源等。

3.7 寄存器传输级 register-transfer level, 缩写: RTL

是一种对同步数字电路的抽象模型，这种模型是根据数字信号在硬件寄存器、存储器、组合逻辑装置和总线等逻辑单元之间的流动，以及其逻辑代数运作方式来确定的。寄存器传输级抽象模型在诸如Verilog和VHDL的硬件描述语言中被用于创建对实际电路的高层次描述，而低层次描述甚至实际电路可以通过高层次描述导出。在现代的数字电路设计中，寄存器传输级上的设计是最典型的工作流程。逻辑合成工具可以根据寄存器传输级的描述构建更低级别的电路描述。

3.8 逻辑综合 logic synthesis

是在给定的约束条件下用EDA工具把数字电路的功能描述（或结构描述，RTL描述）转化为电路的结构描述。

3.9 约束 restriction

是设计者给EDA工具提出的附加条件，对逻辑综合而言，约束条件一般包括速度、功耗、成本等方面的要求。

3.10 静态时序分析 static timing analysis, 简称: STA

又称静态时序验证，是电子工程中，对数字电路的时序进行计算、预计的工作流程，该流程不需要通过输入激励的方式进行仿真。

3.11 形式验证 formal verification

是验证电路的实现方案是否确实实现了电路设计所描述的功能。形式验证时要确定电路在哪一级电路上的测试是正确的，使用模型检验的方法看两个电路在描述上是否一致。

3.12 逻辑提取 logic extract

基于芯片背景图像，采用专业的工具将芯片中的逻辑以基本的半导体器件形式反应出来，形成一整套芯片的完整逻辑图的过程。

3.13 芯片图像数据 chip image data

通过对芯片样品进行化学处理，然后采用数码照相方式并且拼接形成一整套完整的以芯片为背景的图像数据。

3.14 工作区 work place

是指对应芯片的一个指定区域，在该区域范围内用户可以进行线网绘制、单元提取、标注等逻辑提取工作。

3.15 单元模板 cell template

是在集成电路逻辑提取过程中，针对某一类单元（包括数字单元和模拟器件等）所创建的一个样例，该样例适用于这一个单元大类，其所作的每一点修改都在反应在该大类中的所有单元。

3.16 线网提取 wire extract

是将芯片背景图像中的各层连接线（包括多晶、一铝、二铝等），在逻辑提取工具中用不同的层次线条进行描绘，得到与实际芯片中各层连接线相对应的线条组合数据。

3.17 单元引脚 cell pin

是将在逻辑提取过程中，在单元模板中所定义的该单元与外围逻辑连接的管脚。

3.18 逻辑设计 logic design

是按照客户对电路的功能和性能要求设计出相应的逻辑电路，并通过仿真来验证所设计的逻辑是否能够满足客户要求的过程。

3.19 逻辑验证 logic verification

基于专业的数字或者模拟电路仿真工具，对电路进行功能和性能仿真，以验证电路的逻辑功能及其它各项性能指标是否达到设计要求的过成。

3.20 EDA (Electronic Design Automation)

是以计算机为工具，设计者在软件平台上，用硬件描述语言等完成设计文件，然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真，直至完成特定目标芯片的完整设计的过程。

3.21 Foundry

是在集成电路领域是指专门负责生产、制造芯片的厂家。

3.22 PDK (Process Design Kit)

是一个由加工线提供的包含了工艺技术文件和进行器件级设计所需要的所有信息的工具包。

3.23 仿真模型 simulation model

是被仿真对象的相似物或其结构形式，它可以是物理模型或数学模型；具体到集成电路仿真模型通常是指特定工艺条件下，各种器件的物理模型。

3.24 集成电路版图 IC layout

简称版图，是指按照一定的集成电路工艺设计规则，将与电路中各种器件相对应的设计层次有序地排列、组合、叠加而形成的一套用于制作掩膜版的数据。

3.25 版图设计 layout design

是前端设计产生的门级网表通过EDA设计工具进行版图输入或者布局布线，并进行物理验证并最终产生供制造用的GDSII数据。

3.26 版图验证 layout verification

是采用专门的软件工具对版图进行检查，来验证版图设计在几何规则、电学规则及与逻辑的一致性等方面是否存在问题。

3.27 LSW (Layout Select Window)

是在版图设计过程中，在版图输入工具中所出现的版图各个层次的选择窗口。

3.28 图层 layer

是在版图设计过程中，与所设计的器件物理层次所对应的版图中的输入层次。

3.29 版图布局 layout place

是在版图设计过程中，将组成整体版图的各个器件、单元或模块根据逻辑关系放置在芯片版图中的相应位置的过程。

3.30 数字单元区 digital cell area

是在集成电路逻辑提取过程中，在芯片背景图像中的数字单元集中部分所特意定义的一个区域，以便使得逻辑提取工具能够在该区域内自动识别数字单元。

3.31 Verilog 硬件描述语言 verilog hardware description language

是以文本形式来描述数字系统硬件的结构和行为的语言，用它可以表示逻辑电路图、逻辑表达式，还可以表示数字逻辑系统所完成的逻辑功能。

3.32 Mask tooling

是版图设计过程中关于掩膜及工艺等方面的相关信息，其中主要内容为掩膜层次信息。

3.33 设计规则 design rule

是由晶圆加工所提供的由几何限制条件和电学限制条件共同确定的版图设计的几何规定。

3.34 标准单元库 standard cell library

是集成电路设计过程中所需的单元符号库、单元逻辑库、版图库、电路性能参数库、功能描述库、器件模型参数库等的总称。

3.35 版图布线 layout route

是在版图设计过程中，针对各个器件、单元或模块的版图，根据它们之间的逻辑连接关系，在版图中进行各个层次的连线设计，以完成不同版图器件、单元、模块、不同工艺层次之间的连接。

3.36 DRC (Design Rule Check)

是采用专门的软件工具对版图进行验证，来检查版图设计是否符合设计规则。

3.37 ERC (Electronic Rule Check)

是采用专门的软件工具对版图进行验证，来检查版图是否存在短路、断路及悬空节点等问题。

3.38 LVS (Layout Versus Schematic)

是采用专门的软件工具对版图进行验证，来检查版图与电路是否匹配。

3.39 网表 netlist

是在电子设计自动化中，用基础的逻辑门来描述数字电路连接情况的描述方式，主要用于传递电路连接方面的信息。

3.40 EDF (Electronic Design Format)

是一种电子设计自动化领域内的工业标准文件，是集成电路网表的一种表示形式。

3.41 组合逻辑电路 combinational logic circuit

是由各种门电路所组成的没有记忆功能的电路，它的特点是任一时刻的输出信号只取决于该时刻的输入信号，而与电路原来所处的状态无关。

3.42 时序逻辑电路 sequential logic circuit

是由存储电路和组合逻辑电路组成的电路结构形式，在逻辑功能上的特点是任意时刻的输出不仅取决于当时的输入信号，而且还取决于电路原来的状态，或者说，还与以前的输入有关。

3.43 层次化版图设计 sequential logic circuit

是基于底层单元的版图再设计较高一层单元的版图，然后基于较高层单元版图设计更高一层单元的版图，如此一致嵌套下去，直到整个芯片的版图完成为止的一种方法。

3.44 压焊点 PAD

是集成电路版图中与芯片外部进行连接的特殊结构，即所谓的焊盘，用于连接芯片与封装管座，通常是边长为数十微米的矩形。

3.45 闩锁效应 latchup

是CMOS工艺所特有的寄生效应，严重会导致电路的失效，甚至烧毁芯片。它是由NMOS的有源区、P衬底、N阱、PMOS的有源区构成的n-p-n-p结构产生的，当其中一个三极管正偏时，就会构成正反馈形成闩锁。避免闩锁的方法就是要减小衬底和N阱的寄生电阻，使寄生的三极管不会处于正偏状态。

3.46 ESD (ElectroStatic Discharge)

是具有不同静电电位的物体相互靠近或直接接触引起的电荷转移。简单说就是电荷瞬间从一个物体移到另一个物体上，形成一个电荷转移的过程的现象，即具有不同静电电势（电位差）的物体或表面之间的静电电荷转移。

4 适用院校专业

4.1 参照原版专业目录

中等职业学校：微电子技术与器件制造、电子与信息技术、电子技术应用、电气技术应用、电子材料与元器件制造等专业。

高等职业学校：集成电路技术应用、微电子技术、电子信息工程技术、应用电子技术、智能产品开发、电子产品质量检测、电子电路设计与工艺、嵌入式技术与应用等专业。

应用型本科学校：集成电路设计与集成系统、微电子科学与工程、电子信息工程、通信工程、计算机科学与技术、电子科学与技术等专业。

4.2 参照新版职业教育专业目录

中等职业学校：微电子技术及器件制造、电子信息技术、电子技术应用、电气设备运行与控制、电子材料与元器件制造等专业。

高等职业学校：集成电路技术、微电子技术、电子信息工程技术、应用电子技术、智能产品开发与应用、电子产品检测技术、光电显示技术、嵌入式技术与应用等专业。

高等职业教育本科学校：集成电路工程技术、电子信息工程技术等专业。

应用型本科学校：集成电路设计与集成系统、微电子科学与工程、电子信息工程、通信工程、计算机科学与技术、电子科学与技术等专业。

5 面向职业岗位（群）

【集成电路设计与验证】（初级）：主要面向集成电路相关行业及产品开发类企业中的见习 FPGA IC 设计技术员、见习逻辑提取技术员、见习逻辑验证技术员、见习版图识别技术员等职业岗位，主要完成 FPGA IC 辅助设计、基本数字和模拟集成电路逻辑提取、逻辑图输入、版图识别等工作，从事辅助的 FPGA IC 设计、基本的逻辑提取、逻辑图输入、版图识别等基础性的 IC 设计等工作。

【集成电路设计与验证】（中级）：主要面向集成电路相关行业及产品开发类企业中的 FPGA IC 设计助理工程师、逻辑提取技术员、逻辑设计与验证助理工程师、版图设计与验证助理工程师等职业岗位，主要完成基于 FPGA 的 IC 设计、常见数字和模拟集成电路逻辑提取、集成单元和模块的逻辑仿真验证、基于 Verilog 硬件描述语言的简单设计、单元和模块的版图输入、基本的版图验证等工作，从事基于 FPGA 的 IC 设计、常见数字和模拟集成电路逻辑提取、集成单元和模块的逻辑仿真验证、基于 Verilog 硬件描述语言的简单设计、单元和模块的版图输入、基本的版图验证等辅助性的 IC 设计等工作。

【集成电路设计与验证】（高级）：主要面向集成电路相关行业及产品开发类企业中的 FPGA 和系统设计工程师、逻辑设计工程师、逻辑验证工程师、版图设计与验证工程师等职业岗位，主要完成集成电路产品定义、模块指标制定、模块架构和电路设计、基于 FPGA 的 IC 设计、数字和模拟集成电路的逻辑提取、逻辑设计与验证、版图识别、版图设计与验证以及基于 Verilog 硬件描述语言的集成电路设计与系统设计等工作，从事基于集成电路产品定义、模块指标制定、模块架构和电路设计、集成电路逻辑提取、数字和模拟集成的逻辑仿真验证、基于 Verilog 硬件描述语言的集成电路设计、全芯片全定制版图设计与验证、基于标准单元的版图设计与验证等 IC 设计等工作。

6 职业技能要求

6.1 职业技能等级划分

集成电路设计与验证职业技能等级分为三个等级：初级、中级、高级，三个级别依次递进，高级别涵盖低级别职业技能要求。

【集成电路设计与验证】（初级）：主要面向集成电路相关行业及产品开发类企业中的见习 FPGA IC 设计技术员、见习逻辑提取技术员、见习逻辑验证技术员、见习版图识别技术员等岗位，从事辅助的 FPGA IC 设计、基本的逻辑提取、逻辑图输入、版图识别等基础性的 IC 设计方面的工作。

【集成电路设计与验证】（中级）：主要面向集成电路相关行业及产品开发类企业中的 FPGA IC 设计助理工程师、逻辑提取技术员、逻辑设计与验证助理

工程师、版图设计与验证助理工程师等岗位，从事基于 FPGA 的 IC 设计、常见数字和模拟集成电路逻辑提取、集成单元和模块的逻辑仿真验证、基于 Verilog 硬件描述语言的简单设计、单元和模块的版图输入、基本的版图验证等辅助性的 IC 设计方面的工作。

【集成电路设计与验证】（高级）：主要面向集成电路相关行业及产品开发类企业中的 FPGA 和系统设计工程师、逻辑设计工程师、逻辑验证工程师、版图设计与验证工程师等岗位，从事基于集成电路产品定义、模块指标制定、模块架构和电路设计、集成电路逻辑提取、数字和模拟集成的逻辑仿真验证、基于 Verilog 硬件描述语言的集成电路设计、全芯片全定制版图设计与验证、基于标准单元的版图设计与验证等 IC 设计方面的工作。

6.2 职业技能等级要求描述

表 1 集成电路设计与验证职业技能等级要求（初级）

工作领域	工作任务	职业技能要求
1. 逻辑提取	1.1 逻辑提取基础	1.1.1 能区分集成电路分析再设计流程。 1.1.2 能正确选择集成电路逻辑提取的软件和数据。 1.1.3 能进行集成电路逻辑提取软件的安装。 1.1.4 能进行芯片图像数据的加载。
	1.2 逻辑提取工具使用	1.2.1 能正确选择逻辑提取工具的菜单。 1.2.2 能进行逻辑提取前工作区的创建。 1.2.3 能正确打开逻辑提取工具各功能窗口。 1.2.4 能根据功能要求正确打开单元模板菜单。
	1.3 基本数字单元的逻辑提取	1.3.1 能进行逻辑提取工作区的划分。 1.3.2 能进行基本数字单元的逻辑提取。 1.3.3 能进行数字部分的线网提取。 1.3.4 能进行数字部分线网与单元引脚的连接。
2. 逻辑设计与验证	2.1 逻辑验证工具使用	2.1.1 能区分集成电路逻辑设计的不同流程。 2.1.2 能正确选择集成电路逻辑输入工具。 2.1.3 能正确选择数字电路逻辑验证工具。 2.1.4 能正确选择模拟电路逻辑验证工具。
	2.2 逻辑验证文件调用	2.2.1 能区分典型 EDA 工具所提供的各种器件。 2.2.2 能区分典型 EDA 工具所提供的各种单元。 2.2.3 能区分 Foundry 所提供 PDK 中的各种器件。 2.2.4 能正确识别 Foundry 所提供的仿真模型文件。
	2.3 集成电路逻辑输入	2.3.1 能进行各种数字单元的逻辑输入。 2.3.2 能进行各种数字模块的逻辑输入。 2.3.3 能进行各种模拟单元的逻辑输入。 2.3.4 能进行各种模拟模块的逻辑输入。
3. 版图设计与验证	3.1 版图设计流程使用	3.1.1 能正确阐述常见集成电路的开发步骤。 3.1.2 能正确阐述集成电路版图设计的基本流程。 3.1.3 能正确阐述集成电路版图设计的方法。 3.1.4 能使用集成电路版图设计的 EDA 工具。

	3.2 版图设计验证工具使用	<p>3.2.1 能识别集成电路版图输入的工具。</p> <p>3.2.2 能正确选择采用实时方式的集成电路版图验证工具。</p> <p>3.2.3 能正确选择采用命令行方式的集成电路版图验证工具。</p> <p>3.2.4 能正确选择采用交互式界面的集成电路版图验证工具。</p>
	3.3 版图图层调用	<p>3.3.1 能根据功能要求正确选择 LSW 中主要图层。</p> <p>3.3.2 能正确阐述各个图层之间的层次关联。</p> <p>3.3.3 能正确使用各个图层。</p> <p>3.3.4 能区分图层图形的使用限制。</p>
	3.4 版图识别	<p>3.4.1 能识别典型集成电路制造工艺的剖面图。</p> <p>3.4.2 能识读常见集成电路元器件的版图。</p> <p>3.4.3 能区分常见集成电路单元的版图。</p> <p>3.4.4 能识读集成电路整体版图布局。</p>

表 2 集成电路设计与验证职业技能等级要求（中级）

工作领域	工作任务	职业技能要求
1. 基于 FPGA 的 IC 设计	1.1 数字电路设计	<p>1.1.1 能根据功能要求选择常见数字电路模块。</p> <p>1.1.2 能正确使用数字电路设计相关 EDA 软件的基础功能模块。</p> <p>1.1.3 能正确使用基本的 Verilog/VHDL 等硬件描述语言。</p> <p>1.1.4 能正确辨识数字电路仿真时序逻辑图。</p> <p>1.1.5 能正确判断数字电路模块仿真结果是否符合功能要求。</p>
	1.2 数字电路验证	<p>1.2.1 能正确表述数字芯片验证流程。</p> <p>1.2.2 能根据需求正确选择数字芯片验证方式。</p> <p>1.2.3 能使用模块级的电路验证环境。</p> <p>1.2.4 能够对简单模块级电路的验证结果进行检查和判断。</p>
	1.3 数字电路综合	<p>1.3.1 能正确识读芯片从 RTL 到 GDS 的数字后端实现流程。</p> <p>1.3.2 能区分各种工艺库。</p> <p>1.3.3 能正确使用数字电路综合相关 EDA 软件的基础功能模块。</p> <p>1.3.4 能根据约束文件辅助进行简单数字电路模块的逻辑综合操作。</p> <p>1.3.5 能辅助进行简单数字电路模块的形式验证。</p>
2. 逻辑提取	2.1 复杂数字单元的逻辑提取	<p>2.1.1 能正确识读复杂数字单元提取流程。</p> <p>2.1.2 能进行锁存器的逻辑提取。</p>

	取	2.1.3 能进行触发器的逻辑提取。 2.1.4 能进行复杂数字单元的自动识别。
	2.2 数字单元的快速提取	2.2.1 能正确阐述数字单元区的概念。 2.2.2 能进行数字单元的自动识别。 2.2.3 能进行线网的自动提取。 2.2.4 能正确阐述工作区的合并原则。
	2.3 模拟器件的逻辑提取	2.3.1 能根据功能需求正确进行模拟器件提取菜单操作。 2.3.2 能识读常见集成电路元器件的结构。 2.3.3 能进行模拟器件的逻辑提取。 2.3.4 能进行模拟器件尺寸的正确标注。
3. 逻辑设计与验证	3.1 基本数字单元的功能验证	3.1.1 能更具功能需求正确进行数字单元仿真工具各种菜单操作。 3.1.2 能进行数字单元仿真激励的编写。 3.1.3 能进行基本数字单元的仿真。 3.1.4 能对基本数字单元仿真结果进行分析。
	3.2 常见模拟器件的仿真	3.2.1 能正确选择模拟电路仿真工具菜单。 3.2.2 能进行模拟电路仿真工具的各种设置。 3.2.3 能进行 MOS 管等器件的仿真。 3.2.4 能对模拟器件电路进行仿真并分析其结果。
	3.3 常见模拟模块的仿真	3.3.1 能进行振荡器模拟模块的仿真。 3.3.2 能针对振荡器仿真结果进行分析。 3.3.3 能进行上电复位模块的仿真。 3.3.4 能针对上电复位模块仿真结果进行分析。
	3.4 常见组合逻辑的功能验证	3.4.1 能熟练应用数字仿真工具中的各种菜单。 3.4.2 能进行译码器典型组合逻辑数字模块的仿真。 3.4.3 能对译码器仿真结果进行分析。 3.4.4 能进行编码器典型组合逻辑数字模块的仿真。 3.4.5 能对编码器仿真结果进行分析。
	3.5 常见时序逻辑的功能验证	3.5.1 能进行计数器典型时序逻辑数字模块的仿真。 3.5.2 能对计数器仿真结果进行分析。 3.5.3 能进行分频器典型时序逻辑数字模块的仿真。 3.5.4 能对分频器仿真结果进行分析。
4. 版图设计与验证	4.1 常见门电路的版图输入	4.1.1 能正确识读典型的集成电路 Mask tooling、设计规则等工艺文件。 4.1.2 能进行版图输入前的基本设置。 4.1.3 能进行基本逻辑门电路的版图输入。 4.1.4 能进行复合逻辑门电路的版图输入。
	4.2 复杂逻辑	4.2.1 能进行 SRAM 六管单元的版图输入。

	单元的版图输入	4.2.2 能进行锁存器单元的版图输入。 4.2.3 能进行触发器的版图输入。 4.2.4 能进行放大器单元的版图输入。
	4.3 单元和模块版图验证	4.3.1 能正确识读版图 DRC、LVS 验证命令文件。 4.3.2 能进行逻辑门和触发器单元的 DRC 验证。 4.3.3 能根据逻辑门和触发器单元的 DRC 验证结果进行版图修改。 4.3.4 能进行逻辑门和触发器单元的 LVS 验证。 4.3.5 能根据逻辑门和触发器单元的 LVS 验证结果进行版图修改。

表 3 集成电路设计与验证职业技能等级要求（高级）

工作领域	工作任务	职业技能要求
1. 基于 FPGA 的 IC 设计	1.1 数字电路设计	1.1.1 能正确识读模块级数字电路设计流程。 1.1.2 能熟练使用数字电路设计相关 EDA 软件。 1.1.3 能熟练使用 Verilog/VHDL 等硬件描述语言。 1.1.4 能根据规格需求进行简单数字电路模块的 RTL 代码设计和仿真。 1.1.5 能根据数字电路模块仿真结果进行代码的修正。
	1.2 数字电路验证	1.2.1 能熟练使用验证相关 EDA 工具和脚本语言。 1.2.2 能搭建模块级的电路验证环境。 1.2.3 能撰写基本数字电路模块的验证方案。 1.2.4 能根据验证方案进行模块级数字电路的验证。 1.2.5 能正确进行测试点分解、覆盖率收集等任务。
	1.3 数字电路综合	1.3.1 能根据需求正确选用工艺库。 1.3.2 能熟练使用 DC、PT、formality 等数字后端工具。 1.3.3 能根据约束文件进行简单数字电路模块逻辑综合工作。 1.3.4 能正确判断时序分析结果是否符合要求。 1.3.5 能正确进行简单数字电路模块的形式验证。
2. 逻辑提取	2.1 逻辑提取结果的 ERC 检查	2.1.1 能正确阐述逻辑提取 ERC 的基本功能。 2.1.2 能进行各项 ERC 检查。 2.1.3 能正确读取 ERC 结果文件。 2.1.4 能针对 ERC 结果进行逻辑提取的修改。
	2.2 逻辑提取数据的导入导出	2.2.1 能正确阐述逻辑提取数据导入导出的流程。

	出	<p>2.2.2 能进行逻辑提取单元的逻辑图输入。</p> <p>2.2.3 能进行实际项目逻辑提取数据的导入。</p> <p>2.2.4 能进行实际项目逻辑提取数据的导出。</p>
	2.3 逻辑提取数据在不同工具之间的交互	<p>2.3.1 能进行逻辑提取网表数据的导出。</p> <p>2.3.2 能进行 EDA 系统中单元 EDF 数据的导出。</p> <p>2.3.3 能进行网表和 EDF 数据的检查。</p> <p>2.3.4 能进行 EDF 数据的映射。</p>
3. 逻辑设计与验证	3.1 复杂模拟模块的仿真	<p>3.1.1 能熟练应用模拟仿真工具的各种菜单。</p> <p>3.1.2 能进行运放等复杂模拟模块的仿真。</p> <p>3.1.3 能进行大驱动器模块的仿真。</p> <p>3.1.4 能分析大驱动器模块的仿真结果。</p>
	3.2 Verilog 设计	<p>3.2.1 能正确阐述基于 Verilog 硬件描述语言的设计方法。</p> <p>3.2.2 能正确阐述基于 Verilog 硬件描述语言的设计流程。</p> <p>3.2.3 能熟练应用 Verilog 的基本语法。</p> <p>3.2.4 能熟练使用 Verilog 仿真工具。</p>
	3.3 简单单元和模块的 Verilog 设计	<p>3.3.1 能进行基本逻辑门的 Verilog 设计。</p> <p>3.3.2 能进行数据选择器的 Verilog 设计。</p> <p>3.3.3 能进行译码器的 Verilog 设计。</p> <p>3.3.4 能进行编码器的 Verilog 设计。</p> <p>3.3.5 能进行触发器的 Verilog 设计。</p>
	3.4 复杂单元和模块的 Verilog 设计	<p>3.4.1 能进行全加器的 Verilog 设计。</p> <p>3.4.2 能进行计数器的 Verilog 设计。</p> <p>3.4.3 能进行乘法器的 Verilog 设计。</p> <p>3.4.4 能进行除法器的 Verilog 设计。</p>
4. 版图设计与验证	4.1 高效率版图输入	<p>4.1.1 能进行层次化版图设计。</p> <p>4.1.2 能进行 PDK 的安装。</p> <p>4.1.3 能正确识读 PDK 中各种器件的版图。</p> <p>4.1.4 能进行基于 PDK 的版图设计。</p>
	4.2 标准单元版图设计	<p>4.2.1 能识读基于标准单元的设计方案。</p> <p>4.2.2 能正确区分标准单元库及其内容。</p> <p>4.2.3 能正确阐述基本版图布线的原理。</p> <p>4.2.4 能正确阐述为满足布线要求而需遵循的标准单元库规则。</p>
	4.3 复杂逻辑模块的版图设计	<p>4.3.1 能进行上下拉模块的版图设计。</p> <p>4.3.2 能进行上电复位模块的版图设计。</p> <p>4.3.3 能进行振荡器模块的版图设计。</p> <p>4.3.4 能进行大驱动模块的版图设计。</p>
	4.4 全芯片版图设计	<p>4.4.1 能进行压焊点的版图设计方案规划。</p> <p>4.4.2 能根据 Latch Up 原理进行版图设计。</p> <p>4.4.3 能正确使用 ESD 并阐述 ESD 保护的原理。</p> <p>4.4.4 能进行各种 ESD 保护结构的版图设计。</p> <p>4.4.5 能进行典型模拟单元的版图设计。</p>

参考文献

- [1] 教育部关于印发《职业教育专业目录(2021年)》的通知(教职成(2021)2号)[Z]
- [2] 《教育部关于公布2019年度普通高等学校本科专业备案和审批结果的通知》(教高函〔2020〕2号)[Z]
- [3] 《教育部关于公布2020年度普通高等学校本科专业备案和审批结果的通知》(教高函〔2021〕1号)[Z]
- [4] 中等职业学校专业教学标准(试行)[M].北京:高等教育出版社,2015-03
- [5] 高等职业学校专业教学标准(2019年)[Z]
- [6] 普通高等学校本科专业类教学质量国家标准(上下)[M].北京:高等教育出版社,2018-04
- [7] 人力资源社会保障部,国家职业技能标准编制技术规程(2018年版)[Z]
- [8] 劳动和社会保障部,国家质量监督检验检疫总局,国家统计局.中华人民共和国职业分类大典[M].北京:中国劳动社会保障出版社,2015-07
- [9] 国务院办公厅,国务院办公厅关于深化产教融合的若干意见(国办发(2017)95号)[Z]
- [10] GB/T 4754-2017 国民经济行业分类[S]
- [11] GB/T 1.1-2009 标准化工作导则[S]
- [12] SJ/Z 11354-2006 集成电路模拟/混合信号 IP 核规范[S]